

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-147976

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

G11C 11/409
G11C 11/419

(21)Application number : 06-283440

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 17.11.1994

(72)Inventor : OHIRA TAKESHI

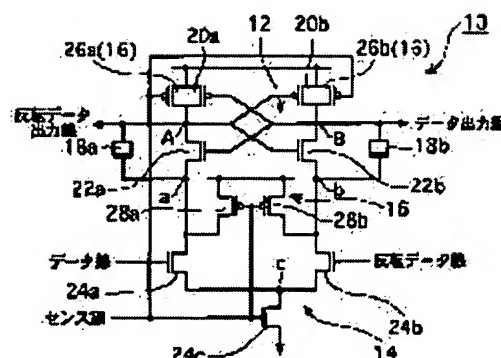
(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To provide a semiconductor integrated circuit increasing an operation margin and stably sensing/amplifying a minute difference voltage signal at a high speed by connecting a capacitor between an output end and a low potential power source end of an inverter of a current drive latch circuit.

CONSTITUTION: The output end and the low potential power source end of a pair of inverters consisting of PMOS transistors 20a, 20b and NMOS transistors 22a, 22b of a current drive latch circuit 12 are precharged to the same high potential by a precharge circuit 16.

Thereafter, charges precharged on the low potential power source end of a pair of the inverters are discharged according to the potential of a pair of the minute difference voltage signals inputted to a current drive circuit 14 through a data line and an inversion data line. Further, the potential of the output ends through capacitors 18a, 18b are dropped by capacity coupling according to the potential of the low potential power source end, too. Thus, the operation margin of the circuit 12 is enlarged, and a malfunction is eliminated even in any minute difference voltage signal.



LEGAL STATUS

[Date of request for examination]

04.09.2001

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-147976

(43)公開日 平成8年(1996)6月7日

(51)Int.Cl.⁹

G 1 1 C 11/409
11/419

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 5 3 A

3 1 1

審査請求 未請求 請求項の数2 O L (全 9 頁)

(21)出願番号 特願平6-283440

(22)出願日 平成6年(1994)11月17日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 大 平 壮

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社内

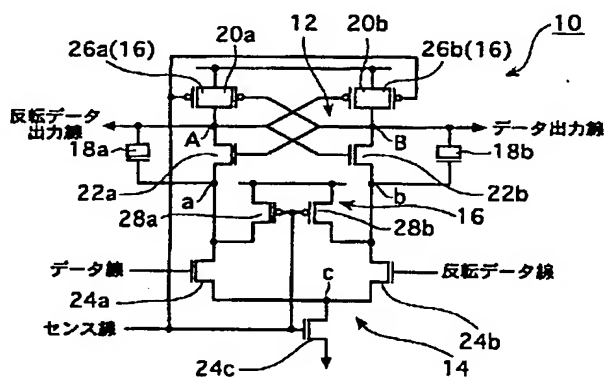
(74)代理人 弁理士 渡辺 望稔 (外1名)

(54)【発明の名称】 半導体集積回路

(57)【要約】 (修正有)

【目的】動作余裕を増加することができ、微小差電圧信号を高速かつ安定に感知・増幅することができる半導体集積回路用のセンスアンプ。

【構成】入力端および出力端が互いにクロスカップル接続された1対のインバータを有し、入力される1対の微小差電圧信号を増幅してラッチし、それぞれデータ出力線および反転データ出力線に出力する電流駆動型ラッチ回路12と、前記1対のインバータの出力端および低電位電源端を同一高電位にプリチャージするプリチャージ回路16と、データ線および反転データ線の電位に応じて、それぞれ前記1対のインバータの低電位電源端にプリチャージされた電荷をディスチャージし、前記1対のインバータの低電位電源端に前記1対の微小差電圧信号を供給する電流駆動回路14と、前記1対のインバータ毎に、その出力端および低電位電源端間に接続された容量(18a, 18b)とを備える。



【特許請求の範囲】

【請求項 1】入力端および出力端が互いにクロスカップル接続された 1 対のインバータを有し、これらのインバータの高電位電源端は短絡されて高電位電源に接続され、低電位電源端に入力される 1 対の微小差電圧信号を増幅してラッチし、それぞれデータ出力線および反転データ出力線に出力する電流駆動型ラッチ回路と、前記 1 対のインバータの出力端および低電位電源端を同一高電位にプリチャージするプリチャージ回路と、データ線および反転データ線の電位に応じて、それぞれ前記 1 対のインバータの低電位電源端にプリチャージされた電荷をディスチャージし、前記 1 対のインバータの低電位電源端に前記 1 対の微小差電圧信号を供給する電流駆動回路と、前記 1 対のインバータ毎に、その出力端および低電位電源端間に接続された容量とを備えることを特徴とする半導体集積回路。

【請求項 2】前記 1 対のインバータの出力端をプリチャージするプリチャージ回路は、前記 1 対のインバータの出力端と高電位電源との間に電圧降下手段を有し、前記 1 対のインバータの出力端のプリチャージ電位をその低電位電源端のプリチャージ電位よりも低い電位にプリチャージする請求項 1 に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、微小差電圧信号を高速に感知・増幅する半導体集積回路に関し、詳しくは、どのような微小差電圧信号であっても誤動作することなく、高速に感知・増幅することができる電流検出型センスアンプに関する。

【0002】

【従来の技術】微小差電圧信号を高速に感知・増幅する半導体集積回路として、従来より様々な形式のセンスアンプが用いられている。特に、DRAM、SRAM、CAM（内容アドレス式メモリ）などのメモリに用いられるセンスアンプとしては、高速動作や高感度であることが要求されるため、一般的に相補信号を用いる差動形センスアンプ等がある。差動形センスアンプには同期型と非同期型とがあり、同期型の差動形センスアンプの代表的なものにはラッチ型センスアンプ、非同期型の差動形センスアンプの代表的なものにはカレントミラー型センスアンプがある。次に、図示例を用いて、これらの差動型センスアンプについて説明する。

【0003】図 5 はラッチ型センスアンプの一例の構成回路図である。このラッチ型センスアンプ 50 は、P 型 MOS トランジスタ（以下、PMOS と記述する）52 a、52 b と、N 型 MOS トランジスタ（以下、NMOS と記述する）54 a、54 b とを有し、PMOS 52 a および NMOS 54 a と、PMOS 52 b および NMOS 54 b とはともに CMOS インバータを構成する。これらのインバータの入力端および出力端は互いにクロ

2

スカップル接続、即ち、PMOS 52 b および NMOS 54 b のゲート端と PMOS 52 a および NMOS 54 a のドレイン端は、互いに短絡されてデータ線に接続され、同様に、PMOS 52 a と NMOS 54 a のゲート端および PMOS 52 b と NMOS 54 b のドレイン端は、互いに短絡されて反転データ線に接続されている。また、PMOS 52 a、52 b のソース端はともにセンス線に接続され、NMOS 54 a、54 b のソース端はともに反転センス線に接続されている。

【0004】次に、このラッチ型センスアンプ 50 を用いてデータを読み出す際の動作を説明する。まず、センス線をロウレベル、反転センス線をハイレベルにした後、データ線および反転データ線をともに同電位、例えば電源電位にプリチャージしてフローティングハイ状態にする。この状態では PMOS 52 a、52 b および NMOS 54 a、54 b はいずれもオフ状態である。続いて、所定メモリセルから相補データ信号、即ち、データ信号および反転データ信号を、それぞれデータ線および反転データ線に読み出す。この時、データ線および反転データ線は、データ信号および反転データ信号に応じてそれぞれ電位が変化し、例えばデータ信号および反転データ信号として、それぞれハイレベルおよびロウレベルが読み出されたとすると、反転データ線の電位はデータ線の電位よりも低下する。続いて、反転センス線を徐々にロウレベルにしていくと、NMOS 54 b のゲート端（データ線）およびソース端（反転センス線）間の電位差がしきい値を上回った時、NMOS 54 b はオン状態となり、そのドレイン端、即ち、PMOS 52 a のゲート端はロウレベルとなる。一方、NMOS 54 a のゲート端およびソース端間の電位差は、ゲート端（反転データ線）の電位が NMOS 54 b のゲート端の電位と比較して低下しているため、NMOS 54 b がオン状態となる反転センス線の電位ではオフ状態であり、そのドレイン端、即ち、PMOS 52 b のゲート端はハイレベルとなる。最後に、センス線および反転センス線の電位を、それぞれ電源電位および接地電位にすることにより、PMOS 52 a、52 b のゲート端はそれぞれロウレベルおよびハイレベルであり、それぞれオン状態およびオフ状態となるため、所定メモリセルから読み出された微小差電圧信号であるデータ信号および反転データ信号を、それぞれ電源電位および接地電位に増幅してラッチし、それぞれデータ線および反転データ線に出力することができる。

【0005】上述するデータ線および反転データ線は複数のワードメモリの同一ビットに共通に接続されているため、メモリセルから読み出されるデータ信号および反転データ信号、即ち、微小差電圧信号を出力するドライブ能力の小さい素子では、データ線および反転データ線の電位を瞬時に変化させることはできない。従って、ラッチ型センスアンプ 50 は、データ線および反転データ

3

線の間に十分な電位差がついてから動作を開始させなければ誤動作、即ち、間違ったデータをラッチしてしまう恐れがあるため、データ信号および反転データ信号を読み出してからセンスアンプを動作させるまでに時間的な余裕を設ける必要がある。

【0006】また、図6はカレントミラー型センスアンプの一例の構成回路図である。このカレントミラー型センスアンプ60は、カレントミラー形負荷であるPMOS62a、62bと、微小差電圧信号の入力用のNMOS64a、64bと、定電流源となるNMOS66とを有する。ここで、PMOS62a、62bのソース端はともに電源電位に接続され、そのゲート端は互いに短絡されてPMOS62aのドレイン端に接続され、データ出力線がPMOS62bのドレイン端に接続されている。また、NMOS64a、64bのゲート端にはそれぞれデータ線および反転データ線が入力され、そのドレイン端はそれぞれPMOS62a、62bのドレイン端に接続され、そのソース端は互いに短絡されてNMOS66のドレイン端に接続されている。また、NMOS66のゲート端はセンス線が接続され、そのソース端は接

地電位に接続されている。

【0007】カレントミラー型センスアンプ60は、負荷となるPMOS62a、62bのゲート端に同じバイアス電圧を印加することにより、これらのドレイン電流が等しくされている。また、センス線は常にハイレベルで、NMOS66が常にオン状態である。また、データ線および反転データ線のプリチャージレベルは、センスアンプの利得の点から電源電位よりも多少低いハイレベルにあり、データ線および反転データ線の微小電圧差により高速に増幅されたデータが非同期にデータ出力線に出力される。なお、図6に示すカレントミラー型センスアンプ60では、出力の論理レベルが電源電位～接地電位にはならないため、通常多段で構成したり、レベルシフター等を用いる。また、通常図6に示すカレントミラー型センスアンプ60をペアで用い、他方のセンスアンプのデータ線および反転データ線を入れ換えて、反転データ出力線を得るよう構成するのが一般的である。

【0008】次に、このカレントミラー型センスアンプ60を用いてデータ信号を読み出す際の動作を説明する。まず、反転データ線の電位がデータ線の電位（プリチャージレベル）より下がり始めると、NMOS64bの電流駆動能力 g_m （ドレイン電流としても良い）がゲート電圧の低下により減少し、データ出力線の電位が上昇するとともに、NMOS66のドレイン端の電位が低下する。データ線の電位は変化しないが、NMOS64aのゲート・ソース間電圧 V_{GS} が増えるため、そのドレイン電流が増加し、そのドレイン端の電位が降下する。このため、PMOS62bの電流駆動能力 g_m が上昇し、さらに増幅が加速され、急速にデータ出力線の電位を上昇させる。同様に、データ線の電位が反転データ線

4

の電位（プリチャージレベル）より下がり始めると、NMOS64aの電流駆動能力 g_m が減少し、NMOS64aのドレイン端の電位が上昇するため、PMOS62bの電流駆動能力 g_m が低下する。また、NMOS66のドレイン端の電位が低下することにより、NMOS64bのゲート・ソース間電圧 V_{GS} が増加し、そのドレイン電流が増える。データ出力線の電位は、PMOS62b、NMOS64b、NMOS66を流れる電流（各トランジスタの電流駆動能力 g_m の比あるいは抵抗比）により決まるため、その電位は低下する。さらに、データ線の電位が下がると、増幅が加速される。

【0009】このカレントミラー型センスアンプ60は、上述するラッチ型センスアンプ50とは異なり、センスアンプへの入力信号、即ち、データ信号および反転データ信号がラッチされないので、誤動作する心配はない。しかし、入力信号の振幅が小さくても、定電流源であるNMOS66の電流値により高速動作が可能であるという利点がある反面、上述するように常時電流が流れ、消費電流が大きくなるため、多数ビットが同時に読み出されると消費電力が増大し、好ましくないという問題点がある。

【0010】上述するラッチ型センスアンプ50やカレントミラー型センスアンプ60の欠点を解消するために、例えば特開平5-242686号公報に開示された電流検出型センスアンプがある。

【0011】図7は、同公報に開示された電流検出型センスアンプの一例の構成回路図である。この電流検出型センスアンプ70は、PMOS20a、20bおよびNMOS22a、22bを有する電流駆動型ラッチ回路12と、NMOS24a、24b、24cを有する電流駆動回路14とを備えている。ここで、電流駆動型ラッチ回路12を構成するPMOS20aおよびNMOS22aとPMOS20bおよびNMOS22bとはともにCMOSインバータを構成し、インバータの入力端および出力端は互いにクロスカップル接続、即ち、PMOS20aおよびNMOS22aのゲート端とPMOS20bおよびNMOS22bのドレイン端は、互いに短絡されてデータ出力線に接続され、同様に、PMOS20bおよびNMOS22bのゲート端とPMOS20aおよびNMOS22aのドレイン端は、互いに短絡されて反転データ出力線に接続されている。また、PMOS20a、20bのソース端は短絡されて電源電位に接続されている。また、電流駆動回路14のNMOS24a、24bのゲート端はそれぞれデータ線および反転データ線に接続され、そのドレイン端はそれぞれ電流駆動型ラッチ回路12のNMOS22a、22bのドレイン端に接続され、そのソース端は互いに短絡されてNMOS24cのドレイン端に接続されている。また、NMOS24cのゲート端はセンス線に接続され、そのソース端は接地電位に接続されている。なお、NMOS22a、22

5

bのドレイン端をそれぞれ接点AおよびBとし、そのソース端をそれぞれ接点aおよびbとし、NMOS 24cのドレイン端を接点cとして、以下の説明を行う。

【0012】次に、図8に示すグラフを用いて、この電流検出型センスアンプ70を用いてデータ信号を読み出す際の動作を説明する。なお、図8においては、説明を容易にするために、センスアンプ動作開始点における接点aおよびb間の電位差 $\Delta V (=V_b - V_a)$ が実際よりも大きく示されている。まず、センス線をロウレベルとした後、データ線および反転データ線をともに同電位、例えば接地電位にディスチャージしてフローティングロウ状態とし、接点AおよびBと接点aおよびbをともに電源電位にプリチャージしてフローティングハイ状態にする。この状態ではPMOS 20a、20b、NMOS 22a、22bおよびNMOS 24a、24b、24cはいずれもオフ状態である。続いて、所定メモリセルからデータ信号および反転データ信号を、それぞれデータ線および反転データ線に読み出す。この時、データ線および反転データ線は、データ信号および反転データ信号に応じてそれぞれ電位が変化する。続いて、センス線をハイレベルにするとNMOS 24cがオン状態となり、NMOS 24a、24bにはそれぞれデータ線および反転データ線の電位に応じたドレイン電流が流れ、それぞれのドレイン端（接点aおよびb）の電位が引き抜かれる。例えば、データ信号および反転データ信号として、それぞれハイレベルおよびロウレベルが読み出されたとすると、NMOS 24bよりもNMOS 24aのドレイン端の電位が早く降下し、NMOS 22aのゲート端（接点B）およびソース端（接点a）間の電位差がしきい値を上回った時、NMOS 22aはオン状態となるため、反転データ出力線（接点A）の電位はロウレベルとなる。また、接点Aがロウレベルになると、NMOS 22bはオフ状態となるため、データ出力線（接点B）の電位はハイレベルを維持する。このように、所定メモリセルから読み出された微小差電圧信号であるデータ信号および反転データ信号を、それぞれ電源電位および接地電位に増幅してラッチし、それぞれデータ出力線および反転データ出力線に出力することができる。

【0013】この電流検出型センスアンプ70は、微小差電圧信号の高速感知、増幅および消費電力等の点において、上述するラッチ型センスアンプ50やカレントミラー型センスアンプ60よりも優れている。しかしながら、NMOS 22aのゲート端およびソース端間の電位差と、NMOS 22bのゲート端およびソース端間の電位差との差、即ち、電流駆動型ラッチ回路12の動作余裕は、図8のグラフに示すように、接点aおよびb間の微小差電圧 ΔV だけで決定されているため、また、ラッチ型センスアンプ50の場合と同様に、データ信号および反転データ信号がラッチされるため、データ線および反転データ線の間に十分な電位差がついてからセンスア

6

ンプの動作を開始させなければ、即ち、NMOS 22a、22bのいずれか一方がオン状態となる時に、接点aおよびbに十分な差電圧がついていないと、センスアンプの動作タイミングによっては、あるいはノイズ等の影響を受けて誤動作に至る可能性が全くないとは言い切れなかった。

【0014】

【発明が解決しようとする課題】本発明の目的は、前記従来技術に基づく種々の問題点をかえりみて、微小差電圧信号と、これが増幅され、ラッチされて出力されるデータ出力信号との間に容量を接続し、微小差電圧信号の電位に応じてデータ出力信号の電位を変化させることにより、動作余裕を増加することができ、微小差電圧信号を高速かつ安定に感知・増幅することができる半導体集積回路を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明は、入力端および出力端が互いにクロスキャプチャ接続された1対のインバータを有し、これらのインバータの高電位電源端は短絡されて高電位電源に接続され、低電位電源端に入力される1対の微小差電圧信号を増幅してラッチし、それぞれデータ出力線および反転データ出力線に出力する電流駆動型ラッチ回路と、前記1対のインバータの出力端および低電位電源端を同一高電位にプリチャージするプリチャージ回路と、データ線および反転データ線の電位に応じて、それぞれ前記1対のインバータの低電位電源端にプリチャージされた電荷をディスチャージし、前記1対のインバータの低電位電源端に前記1対の微小差電圧信号を供給する電流駆動回路と、前記1対のインバータ毎に、その出力端および低電位電源端間に接続された容量とを備えることを特徴とする半導体集積回路を提供するものである。

【0016】ここで、前記1対のインバータの出力端をプリチャージするプリチャージ回路は、前記1対のインバータの出力端と高電位電源との間に電圧降下手段を有し、前記1対のインバータの出力端のプリチャージ電位をその低電位電源端のプリチャージ電位よりも低い電位にプリチャージするのが好ましい。

【0017】

【発明の作用】本発明の半導体集積回路は、データ線および反転データ線に出力される1対の微小差電圧信号を感知・増幅する電流検出型センスアンプである。プリチャージ回路により、電流駆動型ラッチ回路の1対のインバータの出力端および低電位電源端を同一の高電位にプリチャージした後、データ線および反転データ線を介して電流駆動回路に入力される1対の微小差電圧信号の電位に応じて、電流駆動型ラッチ回路の1対のインバータの低電位電源端にプリチャージされた電荷がディスチャージされ、容量を介して電流駆動型ラッチ回路の1対のインバータの出力端の電位も、低電位電源端の電位に応

7

じてカップリングにより引き落とされる。即ち、電流駆動型ラッチ回路の1対のインバータにおいて、一方のインバータの低電位電源端および他方のインバータの出力端間の電位差と、一方のインバータの出力端および他方のインバータの低電位電源端間の電位差との差、つまり電流駆動型ラッチ回路の動作余裕を大きくすることができ、一方のインバータが動作を開始する段階において、他方のインバータが動作を開始できるまでには時間的な余裕がある。このため、本発明の半導体集積回路によれば、どのような微小差電圧信号であっても誤動作することなく、高速に感知・増幅することができる。また、電流駆動型ラッチ回路の1対のインバータの出力端と高電位電源との間に電圧降下手段を備えることにより、1対のインバータの出力端のプリチャージ電位を低電位電源端のプリチャージ電位よりも低い電位にプリチャージすることができる。このため、電流駆動型ラッチ回路の動作余裕をさらに大きくすることができ、本発明の半導体集積回路をさらに安定して動作させることができる。

【0018】

【実施例】以下に、添付の図面に示す好適実施例に基づいて、本発明の半導体集積回路を詳細に説明する。

【0019】図1は、本発明の半導体集積回路の一実施例の構成回路図である。同図に示す半導体集積回路10は電流検出型センスアンプであって、電流駆動型ラッチ回路12と、電流駆動回路14と、プリチャージ回路16と、容量18a、18bとを有している。

【0020】ここで、電流駆動型ラッチ回路12は、PMOS20a、20bと、NMOS22a、22bとを有し、このPMOS20aおよびNMOS22aとPMOS20bおよびNMOS22bとはともにCMOSインバータを構成する。また、これらのインバータの入力端および出力端は互いにクロスカップル接続、即ち、PMOS20aおよびNMOS22aのゲート端とPMOS20bおよびNMOS22bのドレイン端は、互いに短絡されてデータ出力線に接続され、同様に、PMOS20bおよびNMOS22bのゲート端とPMOS20aおよびNMOS22aのドレイン端は、互いに短絡されて反転データ出力線に接続されている。また、PMOS20a、20bのソース端（高電位電源端）は短絡されて電源電位に接続される。

【0021】また、電流駆動回路14はNMOS24a、24b、24cを有し、これらのNMOS24a、24bのゲート端はそれぞれデータ線および反転データ線に接続され、これらのドレイン端はそれぞれ電流駆動型ラッチ回路12のNMOS22a、22bのドレイン端（低電位電源端）に接続され、これらのソース端は互いに短絡されてNMOS24cのドレイン端に接続されている。また、NMOS24cのゲート端はセンス線に接続され、そのソース端は接地電位に接続されている。

8

ここで、NMOS24cを2個用いて、それぞれNMOS22a、22bに接続するように構成しても良い。なお、NMOS22a、22bのドレイン端をそれぞれ接点AおよびBとし、そのソース端をそれぞれ接点aおよびbとし、NMOS24cのドレイン端を接点cとして、以下の説明を続ける。

【0022】また、プリチャージ回路16はPMOS26a、26b、28a、28bを有し、これらのPMOS26a、26b、28a、28bのゲート端は全てセンス線に接続され、これらのソース端は全て電源電位に接続され、これらのドレイン端はそれぞれ接点A、B、aおよびbに接続されている。また、容量18a、18bの一方の端子はそれぞれ電流駆動型ラッチ回路12のNMOS22a、22bのドレイン端に接続され、その他方の端子はそれぞれNMOS22a、22bのソース端に接続されている。

【0023】次に、図3に示すグラフを用いて、この電流検出型センスアンプを用いてデータを読み出す際の動作を説明する。なお、図3においては、説明を容易にするため、センスアンプ動作開始点における接点AおよびB間の電位差 $\Delta V_1 (=V_B - V_A)$ 、接点aおよびb間の電位差 $\Delta V_2 (=V_b - V_a)$ が大きく示されている。

【0024】まず、センス線をロウレベルにすると、電流駆動回路14のPMOS26a、26b、28a、28bが全てオン状態となるから、接点A、B、aおよびbは全て電源電位にプリチャージされ、同時に容量18a、18bも電源電位にプリチャージされる。また、データ線および反転データ線を同電位、例えば接地電位にディスチャージする。なお、これとは逆にデータ線および反転データ線を電源電位にプリチャージしても良い。この状態では電流駆動型ラッチ回路12のPMOS20a、20bおよびNMOS22a、22b、電流駆動回路14のNMOS24a、24b、24cはいずれもオフ状態である。

【0025】続いて、データ線および反転データ線のディスチャージを終了し、これらをフローティングロウ状態にした後、所定メモリセルからデータ信号および反転データ信号を、それぞれデータ線および反転データ線に読み出す。この時、データ線および反転データ線は、データ信号および反転データ信号の電位に応じてそれぞれ電位が変化し、データ線および反転データ線間に微小差電圧が生じる。

【0026】続いて、センス線をハイレベルにすると、プリチャージ回路16のPMOS26a、26b、28a、28bが全てオフ状態となるから、接点A、B、aおよびbは全てフローティングハイ状態となる。同時に、電流駆動回路14のNMOS24cがオン状態となるから、NMOS24a、24bには、それぞれデータ線および反転データ線の電位に応じてドレイン電流が流

9

れ、このドレイン電流に応じてそれぞれ接点aおよびbにプリチャージされた電荷がディスチャージされ、これらの電位が降下する。また、接点AおよびBは、それぞれ接点aおよびbと容量を介して接続されているため、接点aおよびbの電位が降下するとともに、接点aおよびbの電位に応じて容量カップリングによりそれぞれ接点AおよびBの電位も降下する。

【0027】このため、一方のNMOSのゲート端およびソース端間の電位差が、そのしきい値を越える時に、他方のNMOSのゲート端およびソース端間の電位差を小さくすることができ、電流駆動型ラッチ回路12の動作余裕は、図3のグラフに示すように、接点AおよびB間の差電圧 ΔV_1 と、接点aおよびb間の差電圧 ΔV_2 とで決定される。従って、本発明の半導体集積回路10においては、従来の電流検出型センスアンプと比較して、接点AおよびB間の差電圧 ΔV_1 だけ動作余裕を増加することができるため、誤動作を防止することができ、より安定した動作が可能となる。

【0028】例えば、データ信号および反転データ信号として、それぞれハイレベルおよびロウレベルが読み出されたとすると、データ線の電位は反転データ線の電位よりも微小電圧だけ高くなる。このため、接点aにプリチャージされた電荷は接点bにプリチャージされた電荷よりも早くディスチャージされ、接点aの電位は接点bの電位よりも早く降下するとともに、接点Aの電位は接点Bの電位よりも早く降下し、接点Bおよびa間の電位差は、接点Aおよびb間の電位差よりも早く大きくなる。

【0029】上述するように、NMOS22aのゲート端（接点B）およびソース端（接点a）間の電位差は、NMOS22bのゲート端（接点A）およびソース端（接点b）間の電位差よりも早く大きくなるため、NMOS22aのゲート端およびソース端間の電位差の方が、NMOS22bのゲート端およびソース端間の電位差よりも早くしきい値を越え、NMOS22aの方がNMOS22bよりも早くオン状態になる。なお、この時のNMOS22bのゲート端およびソース端間の電位差は、接点Aの電位が降下しているため、図7に示す従来の電流検出型センスアンプの場合と比較して小さくすることができる。このため、接点Aおよびa間および接点Bおよびb間にそれぞれ容量18a、18bを接続すれば、センスアンプの動作余裕を増加することができ、誤動作を防止することができることが判る。

【0030】続いて、NMOS22aがオン状態になると、反転データ出力線の電位はロウレベルになるため、PMOS20bおよびNMOS22bはそれぞれオン状態およびオフ状態になり、データ出力線の電位はハイレベルになるため、PMOS20aおよびNMOS22aはそれぞれオフ状態およびオン状態が確定し、データの読み出しを完了する。このように、所定メモリセルから

10

読み出された微小差電圧信号であるデータ信号および反転データ信号を、それぞれ電源電位および接地電位に増幅してラッチし、それぞれデータ出力線および反転データ出力線に出力することができる。なお、データ信号および反転データ信号として、それぞれハイレベルおよびロウレベルが読み出された場合を例として説明したが、これとは逆にデータ信号および反転データ信号として、それぞれロウレベルおよびハイレベルが読み出された場合の動作についても全く同様であるから、その説明は省略する。

【0031】次に、図2に、本発明の半導体集積回路の別の実施例の構成回路図を示す。同図に示す半導体集積回路30と、図1に示す半導体集積回路10との相違点は、電圧降下手段であるNMOS32を有する点だけであるから、同一の構成要素には同一の符号を付し、その詳細な説明は省略する。即ち、図1に示す半導体集積回路10においては、電流駆動型ラッチ回路12およびプリチャージ回路16のPMOS20a、20b、26a、26bのソース端は全て電源電位に接続されていたが、図2に示す半導体集積回路30においては、電流駆動型ラッチ回路12およびプリチャージ回路16のPMOS20a、20b、26a、26bのソース端は全てNMOS32のソース端に接続され、NMOS32のゲート端およびドレイン端はともに電源電位に接続されている。

【0032】図2に示す半導体集積回路30は、図1に示す半導体集積回路10と全く同様に動作することは言うまでもないが、NMOS32のゲート端は電源電位に接続されているため、常にオン状態であり、NMOS32のソース端の電位は、電源電位よりもNMOS32のしきい値だけ降下した値になる。このため、図2に示す半導体集積回路30においては、接点AおよびBのプリチャージされる電位が、図1に示す半導体集積回路10と比較して、NMOS32のしきい値だけ降下した値となる。従って、NMOS32を設けることにより、電流駆動型ラッチ回路12のNMOS22aあるいはNMOS22bがオン状態になるタイミングが遅延するとともに、接点Aおよびb間の電位差と、接点Bおよびa間の電位差との差がさらに大きくなるため、センスアンプの動作余裕をさらに大きくすることができる。なお、NMOS32の目的は、接点AおよびBのプリチャージ電位を下げることであって、この目的を達成することができれば、例えばトランジスタ、抵抗素子、ダイオードなど、どのような素子や回路を用いても良い。

【0033】最後に、本発明の半導体集積回路の動作原理について説明する。図4は、本発明の半導体集積回路の主要部分の等価回路図である。この等価回路は、電流駆動型ラッチ回路12のインバータを構成するNMOS22と、このNMOS22のドレイン端（接点A）およびソース端（接点a）間に接続された容量18と、NM

11

OS 22のドレイン端、即ち、反転データ出力線の負荷容量34とを有している。なお、容量18および負荷容量34の静電容量値は、それぞれ C_L および C_B であるものとする。

【0034】同図に示す等価回路において、センスアンプの動作開始前、即ち、時間 $t=0$ における接点Aおよびaの電位 V_A および V_a は、

$$V_A = V_A(0) = V_{cc} \text{ (電源電位)}$$

$$V_a = V_a(0) = V_{cc}$$

$$Q = C_L \cdot V_A(t) + C_B \cdot (V_A(t) - V_a(t)) \quad \dots \text{(式2)}$$

である。

【0035】ここで、NMOS 22がオン状態になる直前までは、電荷保存則から上記式1および式2は等価であるから、

$$C_L \cdot V_A(t) + C_B \cdot (V_A(t) - V_a(t)) = C_L \quad \times$$

$$V_A = V_A(t) = \frac{C_L}{C_L + C_B} \cdot V_{cc} + \frac{C_B}{C_L + C_B} \cdot V_a(t)$$

となる。従って、時間 t 経過後における接点Aの差電位 ΔV_A は、

$$\Delta V_A = V_A(0) - V_A(t) = \frac{C_B}{C_L + C_B} \cdot (V_{cc} - V_a(t))$$

である。

【0036】例えば、電源電位 V_{cc} が5V、NMOS 22がオン状態になる時のゲート電圧が1.5Vであるとすると、時間 t における接点aの電位 V_a は、
 $V_a(t) = 5V (V_{cc}) - 1.5V \text{ (ゲート電圧)} = 3.5V$

であるから、上記の時間 t 経過後における接点Aの差電位 ΔV_A は、

【数3】

$$\Delta V_A = \frac{C_B}{C_L + C_B} \cdot 1.5V$$

となる。これにより、NMOS 22がオン状態になる前、即ち、センスアンプが動作を開始する前に、例えば接点Aにおいて150mVの差電圧を余分につけたい場合、容量18の静電容量値 C_B を負荷容量34の静電容量値 C_L の約10分の1程度に設定すれば良いことが判る。このように、容量18および負荷容量34の静電容量値との比により、センスアンプの動作余裕が決定される。

【0037】以上、本発明の半導体集積回路を実施例に基づいて説明したが、本発明の半導体集積回路は上述する実施例だけに限定されるものではない。従来技術の問題点は、センスアンプ動作時において1対の微小差電圧信号(実施例においては接点aおよびb)間に十分な差電圧がついていないことである。従って、従来技術の問題点の解決方法は、センスアンプが動作を開始する前

12

*であり、従って、接点Aにおける電荷 Q は、

$$Q = C_L \cdot V_A(0) + C_B \cdot (V_A(0) - V_a(0)) = C_L \cdot V_{cc} \quad \dots \text{(式1)}$$

である。同様に、センスアンプの動作中、即ち、NMOS 22がオン状態になる直前までの時間 t における接点Aおよびaの電位 V_A および V_a は、

$$V_A = V_A(t)$$

$$V_a = V_a(t)$$

*であり、従って、接点Aにおける電荷 Q は、

$$\times \cdot V_{cc}$$

が成り立つ。従って、NMOS 22がオン状態になる直前までの時間 t における接点Aの電位 V_A は、

【数1】

*【数2】

★20

に、1対の微小差電圧信号間に、センスアンプを誤動作させないだけの充分な差電圧をつけることであり、例えば以下の改善策が考えられる。

(1) 微小差電圧信号線をシールドし、他の信号線によるカップリングノイズを防止する。

(2) 1対のインバータの出力端のプリチャージ電位を低電位電源端のプリチャージ電位よりも低くしたり、1対のインバータを構成するNMOSのしきい値を他のPMOSおよびNMOSよりも高くして、センスアンプの動作タイミングを遅らせることにより、微小差電圧信号間に充分な差電圧をつける。

(3) センスアンプの動作開始前に、1対のインバータの出力端にも微小差電圧信号に応じた差電圧をつけ、実質的な差電圧を増加させる。

【0038】

【発明の効果】以上詳細に説明した様に、本発明の半導体集積回路は、電流検出型ラッチ回路と、プリチャージ回路と、電流駆動回路と、容量とを備え、1対の微小差電圧信号を感知・増幅する電流検出型センスアンプである。電流駆動型ラッチ回路の1対のインバータ毎に、その出力端および低電位電源端間に容量を接続したことにより、電流駆動型ラッチ回路の動作余裕を大きくすることができる。従って、本発明の半導体集積回路によれば、どのような微小差電圧信号であっても誤動作することなく、高速に感知・増幅することができる。また、本発明の半導体集積回路によれば、電流駆動型ラッチ回路の1対のインバータの出力端と高電位電源との間に電圧

13

降下手段を備えることにより、電流駆動型ラッチ回路の動作余裕をさらに大きくすることができ、本発明の半導体集積回路をさらに安定して動作させることができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路の一実施例の構成回路図である。

【図2】本発明の半導体集積回路の別の実施例の構成回路図である。

【図3】図1に示す本発明の半導体集積回路の動作を示す一実施例のグラフである。

【図4】本発明の半導体集積回路の一実施例の主要部等価回路図である。

【図5】従来のラッチ型センスアンプの一例の構成回路図である。

【図6】従来のカレントミラー型センスアンプの一例の構成回路図である。

【図7】従来の電流検出型センスアンプの一例の構成回路図である。

【図8】図6に示す従来の電流検出型センスアンプの動*

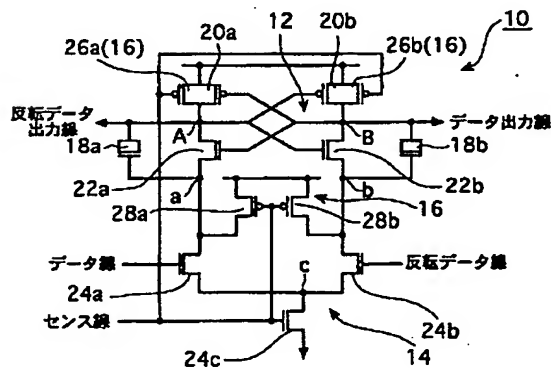
14

*作を示す一例のグラフである。

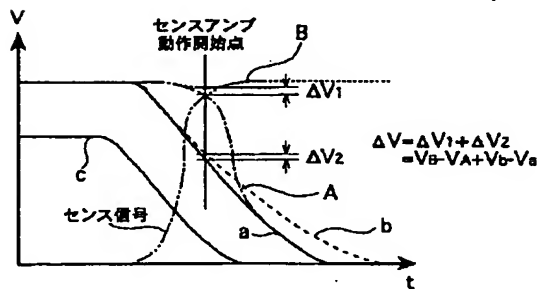
【符号の説明】

- 10、30 半導体集積回路
- 12 電流駆動型ラッチ回路
- 14 電流駆動回路
- 16 プリチャージ回路
- 18、18a、18b 容量
- 20a、20b PMOS (P型MOSトランジスタ)
- 26a、26b、28a、28b PMOS
- 22a、22b NMOS (N型MOSトランジスタ)
- 24a、24b、32 NMOS
- 34 負荷容量
- 50 ラッチ型センスアンプ
- 52a、52b PMOS
- 54a、54b NMOS
- 60 カレントミラー型センスアンプ
- 62a、62b PMOS
- 64a、64b、66 NMOS
- 70 電流検出型センスアンプ

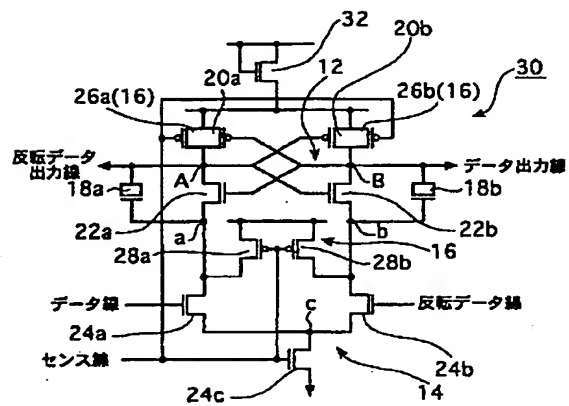
【図1】



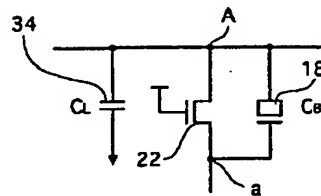
【図3】



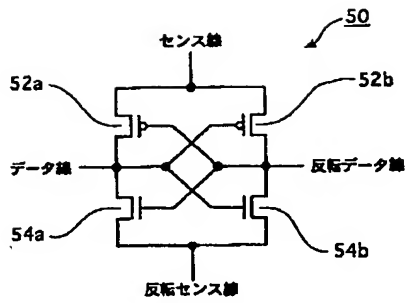
【図2】



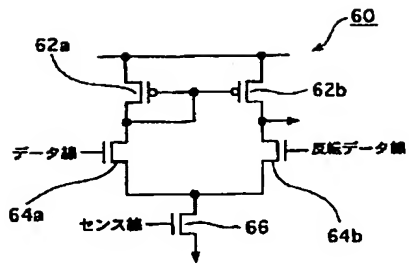
【図4】



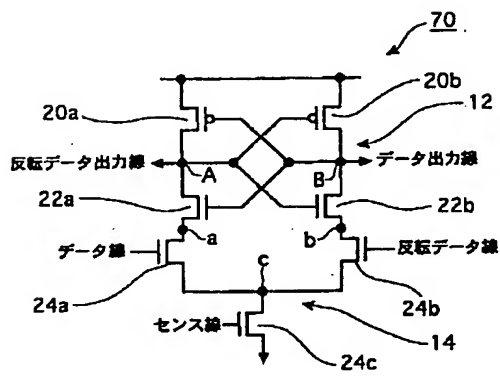
【図 5】



【図 6】



【図 7】



【図 8】

